

引用格式:刘启,甘业兵,黄武康. 一种 2.4GHz SiGe 全集成射频前端电路[J]. 微电子学与计算机,2020,37(10):7-12. [LIU Q, GAN Y B, HUANG W K. A 2.4-GHz SiGe Full Integrated RF Front-End[J]. Microelectronics & Computer,2020,37(10):7-12.]

一种 2.4 GHz SiGe 全集成射频前端电路

刘 启^{1,2},甘业兵¹,黄武康¹

(1 中科院 微电子研究所,北京 100029;2 中国科学院大学,北京 100049)

摘 要: 基于 0.18 μm SiGe 工艺设计了一款 2.4 GHz 全集成射频前端电路. 该射频前端包含了四个单刀开关、一个功率放大器(PA)和一个低噪声放大器(LNA). 基于联合设计的思路,该电路只有一个输入管脚和一个输出管脚,低噪声放大器的阻抗匹配网络与功率放大器阻抗匹配网络一同在片上完成. 该芯片工作电压为 3.3 V,在接收模式时,该射频前端的增益为 13.5 dB,噪声系数为 2.8 dB,静态工作电流为 5.1 mA;在发射模式时,该射频前端的功率增益为 25.4 dB,饱和功率为 24.3 dBm,最大 PAE 为 30.8%,输出 20 dBm 功率时频谱满足 802.15.4 协议要求. 该射频前端无需片外元器件即可实现 50 Ω 的输入输出匹配.

关键词: 射频前端;低噪声放大器;功率放大器;低噪声;SiGe;联合设计

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2020)10-0007-06

A 2.4 GHz SiGe full integrated RF front-end

LIU Qi^{1,2}, GAN Ye-bin¹, HUANG Wu-kang¹

(1 Institute of Microelectronics, Chinese Academy of Science, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A 2.4 GHz low noise full integrated RF (radio frequency) front end circuit is presented in this paper. The full integrated RF front end circuit is composing of LNA (low noise amplifier) and PA (power amplifier), it can receive and transmit RF signal. The proposed circuit is implemented in a 0.18 μm SiGe process. Based on the concept of circuit co-design, the match network of LNA and PA is co-designed on chip, there are only one input pad and one output pad. Simultaneously, two inductors short to ground is inserted into the match network which is used to offer ESD protection. The supply voltage of the circuit is 3.3 V, it consumes 5.1 mA in receive mode and 17 mA in transmit mode. In the receive mode, the proposed circuit exhibited a gain of 13.5 dB and the noise figure is 2.8 dB. While change to transmit mode, the proposed circuit achieves a power gain of 25.4 dB and the saturation output power is 24.3 dBm.

Key words: RF front end; LNA; PA; Low noise; SiGe; Co-design

1 引言

近些年,物联网一步步的从概念落实成实际,一些智能家居以及远程监控得以实现. 物联网使得各种物体能够通过各种传感器连入现有的互联网,人们因此可以远程操控这些物体. 由于有线系统的局

限性,无线系统是物联网首选的链接方式,因此射频前端电路成为了物联网系统中不可或缺的一部分. 由于物联网系统中终端个数庞大,因此对于应用与物联网系统中的射频前端电路需要具有低功耗低成本的特点. 此前通信系统中常用的多芯片射频前端电路的解决方案并不适用于物联网系统^[1]. 因此采

用单芯片全集成射频前端电路在物联网系统中是不可避免的,然而,考虑到射频性能的影响,在一块芯片上同时实现低噪声放大器和功率放大器对设计者来说是一个巨大的挑战^[2]. 本文提出了一种 2.4 GHz 全集成射频前端电路,该电路实现了单芯片上包含低噪声放大器和功率放大器,为了进一步的压缩射频前端电路的成本,该电路在片上完成了输入输出的阻抗匹配,这使得该电路在应用时无需额外的片外元器件来进行阻抗匹配. 该射频前端电路包含一个共发射极低噪声放大器,一个 AB 类的功率放大器和四个单刀开关. 当电路工作在接收模式时,该射频前端电路的增益是 13.5 dB,输入 IIP3 是 -1.5 dBm,噪声系数为 2.8 dB. 当电路工作在发射模式时,该射频前端电路的增益是 25.4 dB,输出 1dB 压缩点为 22.4 dBm,饱和输出功率为 24.3 dBm 最大附加效率值是 30.8%. 在 3.3 V 的电源电压下,接收模式时的静态电流是 5.1 mA 发射模式时的静态电流是 17 mA.

2 电路设计

图 1 给出了本文介绍的射频前端电路的模块框图,该射频前端电路包含一个低噪声放大器电路,一个功率放大器电路和 4 个开关. 低噪声放大器的输入和功率放大器的输出共用一个芯片管脚 ANT,低噪声放大器的输出和功率放大器的输入则共用另外一个芯片管脚 DATA. 电路中 4 个开关不是完全相同,在芯片管脚 DATA 和低噪声放大器的输出端之间的开关 S_2 与其他三个开关 S_1 结构不同, S_1 是采用了串联形式的开关, S_2 则是采用了并联串联形式的开关. 在芯片管脚 DATA 和低噪声放大器的输出端之间采用并联串联形式的开关是综合考虑了隔离和阻抗匹配的原因. 因为功率放大器的输出信号通常是远大于低噪声放大器的输出信号,因此我们需要格外注意从低噪声放大器输出端到功率放大器输入端的泄漏路径. 一旦从低噪声放大器输出端到功率放大器输入端的泄漏信号过大,电路就很容易形成一个正反馈回路并导致芯片过热失效. 如果采用四个并联串联形式的开关对于隔离低噪声放大器和功率放大器会更好,但是并联串联形式的开关在打开时有一条对地的低阻抗通道,这会极大的增加低噪声放大器和功率放大器的输入输出阻抗匹配难度,考虑到功率放大器的输入阻抗匹配会影响功率放大器的增益,功率放大器的输出阻抗匹配会影响功率放大器的最大输出功率,低噪声放大器的输入

阻抗匹配会影响低噪声放大器的增益和噪声性能,低噪声放大器的输出阻抗匹配只会轻微影响低噪声放大器的增益. 最后本文所提出的射频前端电路只在低噪声放大器的输出端使用并联-串联开关来提高低噪声放大器输出端和功率放大器输入端的隔离度,其他三个开关则采用简单的串联型开关来减小阻抗匹配的难度.

本文所介绍的射频前端电路中,开关采用了简单的 NMOS 开关,通过去除传输门中的 PMOS 可以减小开关导通电阻和寄生电容, NMOS 各端口处的串联电阻用来进一步的减小寄生电容和降低控制电压上的噪声传入. 栅极和源漏级反接可以使得两者之间的电压差保持最大,从而使得开关闭合时导通电阻更小,开关打开时开关的隔离度更高.

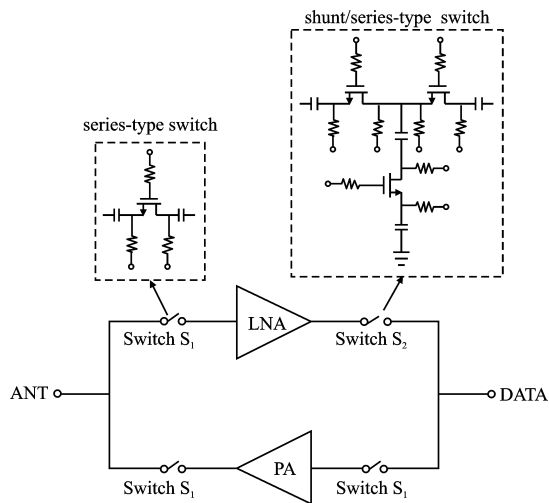


图 1 全集成射频前端电路的模块框图

2.1 低噪声放大器电路的设计

图 2 给出了低噪声放大器的电路图,为了更好的噪声性能,本文采用了具有源极退化电感的共发射极 cascode 结构^[3]. 采用 cascode 结构是为了在较小的工作电流情况下提供更高的小信号增益. 此外 cascode 结构还可以减小电容的米勒效应 (Miller effect) 和提高低噪声放大器输入输出端的隔离度. 低噪声放大电路的设计过程如下所示:

(1) 在 cascode 结构中, Q_2 的尺寸通常设计成 Q_1 的 2/3, 因此确定了 Q_1 的大小就可以确定 Q_2 的大小, 根据文献^[4] 中的方法可以确定获得最小噪声系数时流过 Q_1 和 Q_2 的最佳电流密度 $J_{c, opt}$. 在最佳电流密度 $J_{c, opt}$ 附近小幅度的调整 Q_1 和 Q_2 的电流密度可以在不恶化噪声性能的情况下提高低噪声放大器的增益^[5]. 最终 Q_1 和 Q_2 的电流密度要根据所需要的增益指标来进行调整.

(2) 一旦 Q_1 和 Q_2 的电流密度确定了,那么低噪声放大器的基本电路结构也就确定了。 Q_1 和 Q_2 的具体尺寸大小要使得从 Q_1 发射级看过去的阻抗值为 $50\ \Omega$ 。这样低噪声放大器输入阻抗的实部匹配就完成了,接下来就要考虑输入阻抗的虚部匹配了。

(3) 通常,在这一步我们就要开始对低噪声放大器输入阻抗的虚部进行匹配了,但是本文所提出的射频前端电路中对低噪声放大器和功率放大器的阻抗匹配网络进行了联合设计,因此低噪声放大器的阻抗匹配将联合功率放大器的阻抗匹配在后面进行说明。

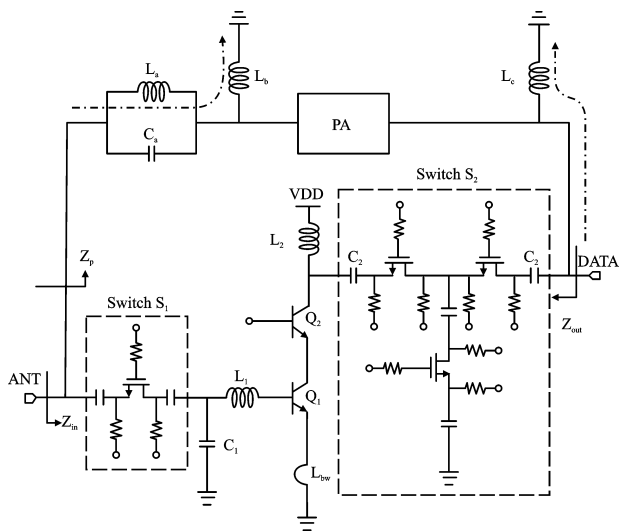


图2 低噪声放大器的电路图

2.2 功率放大器的设计

如图3所示:功率放大器采用了两级放大的结构,两级电路均采用了 cascode 结构来获取足够的小信号增益并减轻输出大功率信号时晶体管上的最大受压值。第一级主要是用来放大输入信号,第二级则是用来驱动输出的。因此第一级采用了 A 类放大器,第二级则采用了 AB 类的放大器来为该功率放大器提供合适的线性度和输出能力。在功率放大器的第一级中,在 cascode 结构中插入了一个电感,根据文献我们可以知道这个电感能够提高从 Q_1 到 Q_2 的功率传输效率^[6]。这也意味着这个电感能提高第一级的小信号增益,这种插入电感提高增益的方式在用在低噪声放大器中会恶化低噪声放大器的噪声性能,但是用在功率放大器中时就可以忽略它的这个缺点了。交流耦合电容 C_0 起到一个将信号从第一级传输到第二级的功能。因为功率放大器的第二级需要能够输出大功率,因此 Q_3 和 Q_4 的尺寸通常较大,因此 Q_3 的寄生电容也很大,这使得交流耦合电

容 C_0 也需要足够大来避免信号从 Q_2 的集电极传输到 Q_3 基极时损耗过大。如果 Q_3 尺寸过大会使得交流耦合电容 C_0 需要很大,这样就会使得电容 C_0 占据很大的芯片面积。

在图3中,电容 C_1 和键合线电感 L_{bw} 组成一个串联谐振网络。这个串联谐振网络有两个功能,一是提供一个感性阻抗来中和 Q_3 的基极寄生电容的容性阻抗,另外一个功能就是将滤除输出信号的 2 阶谐波分量。在功率放大器的输出端还有两个串联谐振网络被用来滤除输出信号的 2 阶谐波分量和 3 阶谐波分量。

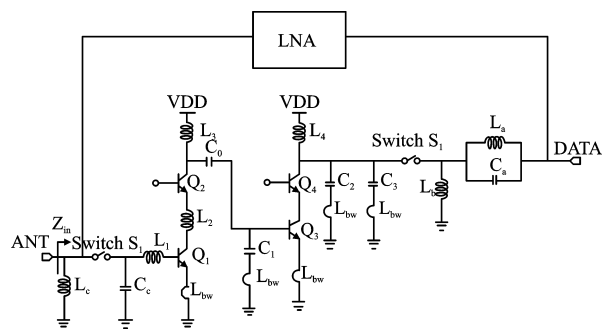


图3 功率放大器的电路图

2.3 低噪声放大器和功率放大器的联合设计

联合设计的概念并不是第一次出现在射频电路中。在文献^[7]中利用变压器对低噪声放大器和单刀双掷开关进行了联合设计。文献^[8]则直接将功率放大器复用为低噪声放大器并通过两个变压器对低噪声放大器和功率放大器的阻抗匹配进行联合设计。但是工艺厂商通常不会提供变压器的模型文件,设计者需要使用额外的仿真软件来仿真变压器的性能。因此在电路中使用变压器不仅会增加设计者的工作量而且会占用很大的芯片面积。

在本文所提出的全集成射频前端电路中,我们在没有使用变压器的情况下对低噪声放大器和功率放大器的阻抗匹配网络进行了联合设计。在芯片输入输出管脚 ANT 和 DATA 的阻抗匹配网络中我们还插入了两个到地的电感来为 ANT 和 DATA 提供一定的 ESD 保护。正如图2所示,电感 L_b 和 L_a 为低频电流形成了一个到地的低阻抗通道,电感 L_c 也起到了同样的作用^[9]。低噪声放大器和功率放大器的阻抗匹配网络的联合设计可以按下面的步骤来进行:

(1) 在进行阻抗匹配网络的联合设计时,假设电路中的开关都是理想的。那么从图2中我们可以认为在发射模式时开关 S_1 和 S_2 将低噪声放大器和

功率放大器隔离的很好,低噪声放大器中的器件都不能影响功率放大器工作.因此,在进行阻抗匹配网络的联合设计时我们可以先考虑功率放大器的阻抗匹配.对于功率放大器的输入阻抗匹配我们可以参考低噪声放大器的设计.忽略 C_μ 和 R_π 的影响,那么功率放大器的输入阻抗可以表示为:

$$Z_{in} = sL_c // \frac{1}{sC_c} // (R_b + \frac{\beta L_{bw}}{C_\pi} + s(L_{bw} + L_1) + \frac{1}{sC_\pi}) \quad (1)$$

当 $Z_{in} = 50 \Omega$ 时我们可以认为在功率放大器的输入实现了功率匹配.图 3 中的电容 C_c 用来与电感 L_c 谐振在工作频率,因此公式(1)中的前两项可以互相抵消,功率放大器的输入阻抗也可以表示为:

$$Z_{in} = R_b + \frac{\beta L_{bw}}{C_\pi} + s(L_{bw} + L_1) + \frac{1}{sC_\pi} \quad (2)$$

一个合适的电感 L_1 的值可以使得公式(2)中最后两项能够相互抵消,再适当的调整 Q_1 的尺寸和键合线电感长度可以使得功率放大器的输入阻抗为

$$Z_{in} = R_b + \frac{\beta L_{bw}}{C_\pi} = 50 \Omega \quad (3)$$

(2) 功率放大器的输出阻抗匹配可以使用 cadence 中的负载线匹配工具来完成.如图三所示,电感 L_a 和 C_a 组成了一个并联谐振网络来滤除输出信号的 3 阶谐波信号,因此负载线匹配的工作主要是通过调节电感 L_b 的大小来完成的.

(3) 一旦功率放大器的阻抗匹配网络确定了,就可以开始设计低噪声放大器的阻抗匹配网络.和功率放大器一样,我们先设计低噪声放大器的输入阻抗匹配网络.如图二所示,电感 L_a , L_b 和电容 C_a 明显会影响低噪声放大器的输入阻抗匹配,因此阻抗 Z_p 的大小可以表示为:

$$Z_p = \frac{sL_a}{s^2L_aC_a + 1} + sL_b \quad (4)$$

通过步骤 2 我们知道电感 L_a 和 C_a 并联谐振在 3 阶谐波处,因此公式(4)可以变换为:

$$\begin{aligned} Z_p &= \frac{sL_a}{1 - \omega_0^2L_aC_a} + sL_b = \frac{sL_a}{1 - \omega_0^2 \frac{1}{(3\omega_0)^2}} + sL_b \\ &= s(\frac{9}{8}L_a + L_b) \end{aligned} \quad (5)$$

从公式(5)我们可以看出阻抗 Z_p 表现为感性阻抗,因此可以引入一个电容 C_1 来消除阻抗 Z_p 的影响,然后低噪声放大器的输入阻抗可以表示为:

$$Z_{in} = Z_p // \frac{1}{sC_1} // (R_b + \frac{\beta L_{bw}}{C_\pi} + s(L_{bw} + L_1) + \frac{1}{sC_\pi}) \quad (6)$$

重复步骤 1 中的设计流程: Z_p 和 C_1 相互抵消,调整 Q_1 的大小和电感 L_1 来使得低噪声放大器的输入阻抗 $Z_{in} = 50 \Omega$.

(4) 低噪声放大器的输出阻抗是由电容 C_2 和电感 L_c 完成的,它们形成了一个 L 型匹配网络.通过改变电容 C_2 和电感 L_c 的值可以使低噪声放大器的输出阻抗接近 50Ω .需要注意的是如果在本步骤中改变了电感 L_c 的值,那么步骤 1 中的电容 C_c 的值需要相应的改变来使得 L_c 和 C_c 谐振在工作频率.

3 测试结果

本文使用 HHNEC 0.18 μm SiGe BiCMOS 工艺设计了一款全集成射频前端电路,该电路算上芯片 PAD 面积整个芯片面积为 $1.6 \times 0.96 \text{ mm}^2$.该射频前端电路的测试可以分成接收模式测试和发射模式测,通过 2 Bit 的数字信号控制电路中的四个开关可以切换接收模式和发射模式.当电路处于接收模式时,低噪声放大器工作,功率放大器关闭,在电源电压为 3.3 V 时电路的静态电流为 5.1 mA.图 5 给出了工作频率范围内低噪声放大器的 S 参数测量结果,从图中可以看出在 2.4 GHz 处低噪声放大器的输入回损(s_{11})和输出回损(s_{22})分别为 -18.4 dB 和 -13 dB.两个回损值均小于 -10 dB 表明低噪声放大器的输入输出阻抗匹配都做的很好.低噪声放大器的小信号增益(s_{21})为 13.5 dB, s_{12} 为 -33 dB 表明低噪声放大器的输入输出隔离度很好.图 6 是该低噪声放大器的噪声系数侧视图,从图中我们可以看出 2.4 GHz 处的噪声系数为 2.8 dB.

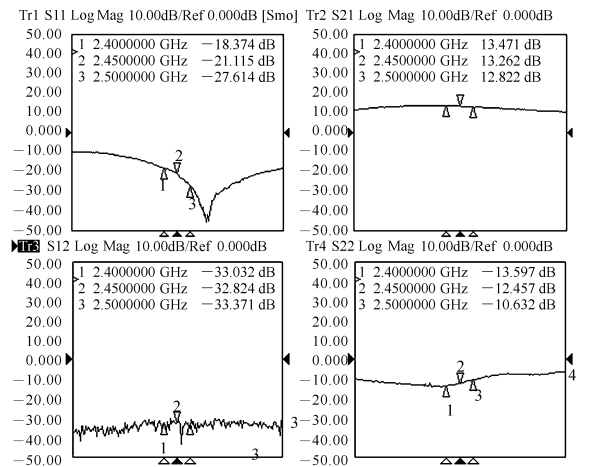


图 4 低噪声放大器的 S 参数测试结果

当电路工作在发射模式时,低噪声放大电路关闭,功率放大电路工作.该电路在电源电压为 3.3 V

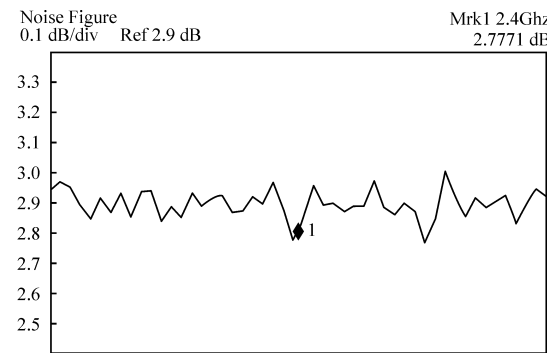


图 5 低噪声放大器的噪声系数测试结果

时静态工作电流为 17 mA。图 6 给出了工作频率范围内功率放大器的 S 参数测量结果,从图中可以看出在 2.4 GHz 处功率放大器的输入回损(s_{11})为-15.6 dB,输出回损(s_{22})为-5.5 dB,小信号增益(s_{21})为 25.4 dB, s_{12} 为-47 dB。通过图 7 可以知道该电路的输出 1 dB 压缩点 OP_{1dB} 为 22.4 dBm,饱和输出功率为 24.3 dBm,最大附加效率为 30.8%。图 8 则给出了功率放大器输出信号大小为 20 dBm 时输出信号的频谱图,可以看到功率放大器输出信号为 20 dBm 时二阶谐波分量小于-15 dBm,三阶谐波分量小于-20 dBm。这样优异的谐波抑制能力使得该电路不仅能够满足 IEEE 802. 15. 4/ZigBee 协议的要求也能满足其他 2.4 GHz ISM 频段无线系统的要求。

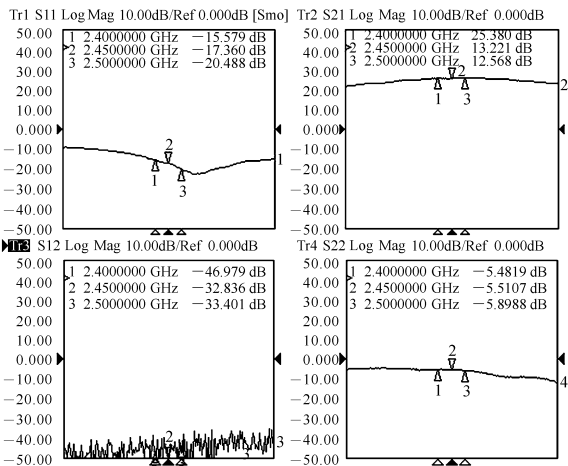


图 6 功率放大器的 S 参数测试结果

表 1 给出了本文所提出的射频前端电路与其他射频前端电路的性能比较结果。相比于其他集成了低噪声放大器和功率放大器的射频前端电路,测试结果表明本文所提出的射频前端电路在接收模式下有着更好的噪声系数和线性度,在发射模式下整体性能都要更为优异。而且相比于其他射频集成电路

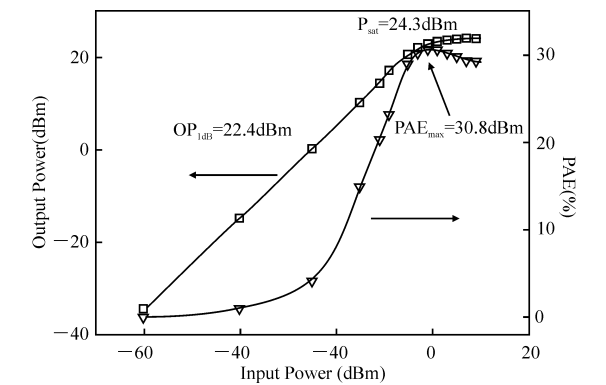


图 7 功率放大器的输出信号强度和 PAE 测试结果

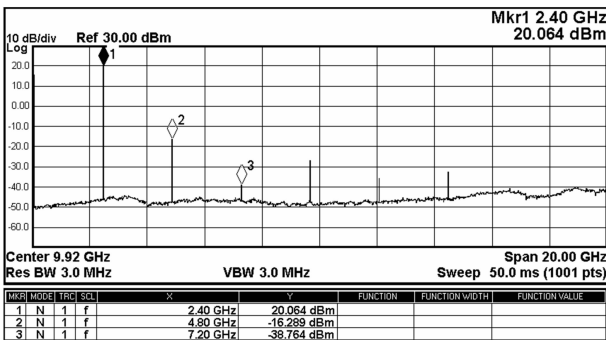


图 8 功率放大器输出强度为 20 dBm 时的频谱图

需要在片外进行阻抗匹配,本文所提出的射频前端电路不需要任何片外元器件来进行阻抗匹配,并且该电路只有一个数据输入管脚和一个数据输出管脚,这些特性使得该射频前端电路在 PCB 设计时要比其他射频前端电路更为简单。

表 1 本设计与参考文献设计的比较

参考文献	文献[10]	文献[11]	文献[7]	文献[12]	文献[8]	本文
工艺(nm)	COMS180	SOI 45	CMOS 90	CMOS130	CMOS 65	SiGe180
频率(GHz)	2.4	1.4~3.4	5.2	2.4	3.4~5.4	2.4
LNA Gain (dB)	25.7	14~16	15	14.8	26.8	13.5
LNA NF (dB)	4.4	2.8~6	3.2	3.6	5.1~6.1	2.8
LNA IIP3 (dBm)	-6.5	-7~-4	-	-2.7	-	-1.5
PA Gain (dB)	21	-	24.5	33/15.5	-	25.4
PAOP1dB (dBm)	3.2	22.5±0.9	23	16.2/13.7	20	22.4
PAPAE (%)	21	25~30	26.7	20/12.5	32.7	30.8

4 结束语

本文使用 0.18 μm SiGe BiCMOS 工艺设计了一款 2.4 GHz 全集成射频前端电路,通过采用联合设计技术,该射频前端电路在片上完成了阻抗匹配。只有一个数据输入管脚和一个数据输出管脚意味着

该射频前端电路在系统级设计中只需要很少的外部元器件. 这也使得该射频前端电路能为无线传感器网络或者其他 2.4 GHz ISM 频段无线系统提供低成本的即插即用解决方案. 该全集成射频前端电路在接收模式下具有 13.5 dB 的小信号增益, -1.5 dBm 的输入三阶交调点和 2.8 dB 的噪声系数. 在发射模式下的小信号增益为 25.4 dB, 最大附加效率值 PAE 为 30.8%, 输出 1dB 压缩点 OP_{1dB} 为 22.4 dBm.

参考文献:

- [1] HAMPEL S K, SCHMITZ O, TIEBOUT M, et al. 9GHz wideband CMOS RX and TX front-ends for universal radio applications [J]. IEEE Transactions on Microwave Theory and Techniques, 2012, 60(4): 1105-1116.
- [2] YAMAMOTO K, HEIMA T, FURUKAWA A, et al. A 2.4-GHz-band 1.8V operation single-chip Si-COMS T/R-MMIC front-end with a low insertion loss switch [J]. IEEE Journal of Solid-State Circuits, 2001, 36(8): 1186-1197.
- [3] POH J C H, CHENG P, CRESSLER J D, et al. High gain, High linearity, L-band SiGe low noise amplifier with fully-integrated matching network [C] // SiRF. [IEEE], 2010:69.
- [4] GORDON M, VOINIGESCU S P. An inductor-based 52GHz 0.18 μ m SiGe HBT cascode LNA with 22 dB gain [C] // Proceedings of the 30th European Solid-State Circuits Conference [IEEE], 2004:287.
- [5] LONG J R. A low-voltage 5.1-5.8 GHz image-reject downconverter RF IC [J]. IEEE Journal of Solid-State Circuits, 2000, 35(9): 1320-1328.
- [6] DATTA S, DUTTA A, BHATTACHARYYA T K. A gain boosted fully concurrent dual-band interstage matched LNA operating in 900 MHz/2.4 GHz with sub-2dB Noise Figure [C] // ICCCT [IEEE], 2010:25.
- [7] CHEN H S, TSAI H Y, CHUO L X, et al. A 5.2GHz full-integrated RF front-end by T/R switch, LNA, and PA co-design with 3.2-dB NF and +25.9dBm output power [C] // IEEE Asian Solid-State Circuits Conference [IEEE], 2015:1.
- [8] XIAO X, PRATT A, YANG B, et al. A 65-nm CMOS wideband TDD front-end with integrated T/R switching via PA re-use [J]. IEEE Journal of Solid-State Circuits, 2017, 52(7): 1768-1782.
- [9] LEROUX P, STEYAERT M. High-performance 5.2 GHz LNA with on-chip inductor to provide ESD protection [J]. Electronics Letters, 2001, 37(7): 467-469.
- [10] KIM Y J, HWANG I C, BAEK D. A switchless Zig-Bee Frontend transceiver with matching component sharing of LNA and PA [J]. IEEE Microwave and Wireless Components Letters, 2010, 20(9):516-518.
- [11] GOSWAMI S, KIM H, DAWSON J L. A frequency Agile RF frontend architecture for multi-band TDD applications [J]. IEEE Journal of Solid-State Circuits, 2014, 49(10):2127-2140.
- [12] JOO T, LEE D H, HONG S. A fully integrated RF CMOS front-end IC for connectivity applications [J]. IEEE TCS II: Express Briefs, 2016, 63(11): 1024-1028.

作者简介:

刘 启 男,(1991-),博士研究生. 研究方向为射频集成电路和锁相环电路. E-mail:liuqi@casic.ac.cn

甘业兵 男,(1981-),博士,副研究员. 研究方向为集成电路设计.

黄武康 男,(1981-),博士,副研究员. 研究方向为集成电路设计.